

嵌入式千兆以太网传输系统在 VLBI 硬件相关处理机中的应用*

李健^{1,2} 张秀忠¹ 项英¹

(1. 中国科学院上海天文台, 上海 200030; 2. 中国科学院研究生院, 北京 100049)

提 要

甚长基线干涉测量(VLBI)是重要的射电天文技术,具有极高的空间分辨率,是国际上广泛采用的深空探测器高精度测量手段。硬件相关处理机则是 VLBI 数据预处理的核⼼设备。随着以 FPGA(Field Programmable Gate Array)为实现平台的嵌入式系统的不断发展,用 FPGA 和嵌入式系统作为实现方式成为硬件相关处理机研究的一个方向。研究了如何利用嵌入式千兆以太网传输系统对硬件相关处理机的长期累加子系统(LTA)进行改进。

主题词: 甚长基线干涉测量(VLBI) — 硬件相关处理机 — 嵌入式系统 — 千兆以太网 — FPGA

分类号: P228.6, TP393, TP274

1 引 言

VLBI 是目前分辨率最高的天文观测技术,在天体物理、天体测量和天文地球动力学等研究领域得到广泛的应用。在传统的 VLBI 技术中,观测站获得的海量数字化数据先记录在磁带上,再传送到数据处理中心的相关处理机进行事后相关处理。近年来发展迅速的 e-VLBI 采用硬盘记录,并通过网络将观测数据传输到数据处理中心的相关处理机进行处理。作为

e-VLBI 高级阶段,实时 VLBI 采集数据后无需记录,可直接传送至相关处理机,真正实现数据的实时相关处理。

相关处理机数据流程如图 1 所示。台站观测的数据由网络传送到数据处理中心,数据由相关处理机 PBD(Play-Back Device)接收,经高速 I/O 卡送 PBI(Play-Back Interface),进行数据流恢复和解码工作,然后经过 FFT 变换和乘加运算(MAC)后送到 LTA(Long Time Add)进行长时间累加。累加后的数据再经过千兆网络送到后续部门进行

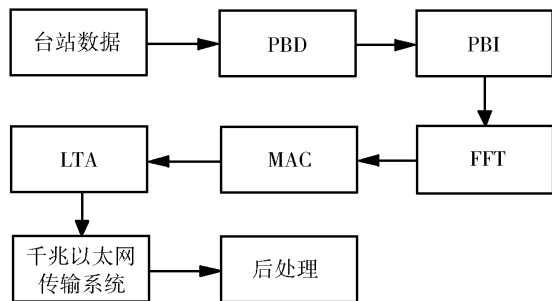


图 1 相关处理机数据流程示意图

Fig. 1 Flow chart map of the correlator processor's data

后处理。LTA 长时间累加后输出的数据流量为 $32\text{Mb} \cdot \text{s}^{-1}$, 为此研究和设计的千兆以太网传输系统可实现对 LTA 数据的采集和传输。

嵌入式千兆以太网传输系统需要巨大的内存带宽, 使在提高系统整体性能方面面临挑战。以 Xilinx 公司的 ML403 评估板为平台, Virtex-4 FX 系列 FPGA 为核心建立的千兆以太网传输系统具有很高的网络传输性能, 该嵌入式千兆以太网传输系统直接实现将数据拷贝、校验和计算转移到硬件, 使 PowerPC 处理器只需要处理 TCP/IP 数据帧头以及相关通信协议。在该系统中, 将多端口内存控制器 (MPMC, Multi Port Memory Controller) 和传输直接存储控制器 (CDMAC: Communication DMA Controller) 结合起来, 完成大块数据在内存和以太网介质访问控制器 (MAC) 间的搬运。这样可以节省 CPU 时间来完成其他的工作。

2 系统硬件设计

2.1 系统硬件组成

图 2 表示的是嵌入式千兆以太网传输系统的硬件组成, 这些硬件组成全部集成在一块 ML403 评估板上。系统以带有 32 位 PowerPC 嵌入式处理器的 FPGA 作为控制中心^[2], 采集外部 LTA 数据到 DDR 内存中, 然后通过千兆以太网将数据送到后处理系统。PROM 存储系统软硬件的 bit 文件, 在系统上电时配置 FPGA 的逻辑电路并加载软件到 DDR 内存中。串口通信模块用来输出系统的运行信息。外部数据接口利用了 ML403 评估板上的两个差分时钟输入端口和多个扩展针脚。差分时钟输入端口接收 32MHz 同步时钟, 然后转化为单端的 32MHz 时钟。扩展针脚接收 LTA 发送过来的 8 路串行差分数据信号以及相应的 8 路握手信号。在 FPGA 内部, 这些串行差分信号被转换为单端信号, 然后进行串并转换变为 32 bit 数据, 按照 LocalLink 协议标准通过 CDMAC 存入 DDR 存储器。

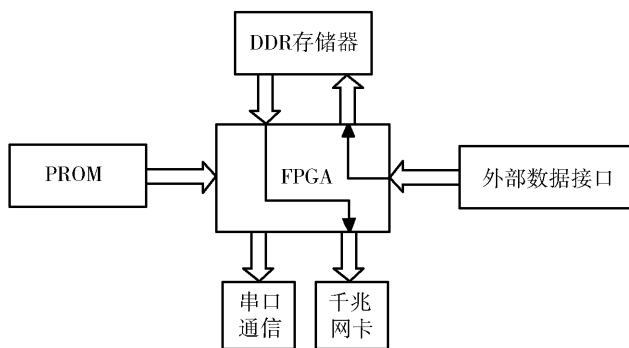


图 2 系统硬件组成

Fig. 2 Hardware components of the system

2.2 FPGA 控制系统硬件组成

FPGA 作为整个嵌入式千兆以太网传输系统的控制核心, 其内部硬件模块实现如图 3 所示。虚线中的硬件组成部分全在一块 FPGA 芯片中实现。利用 Xilinx 公司的 EDK 集成开发环境可以方便地实现这些硬核和软核的连接^[3]。

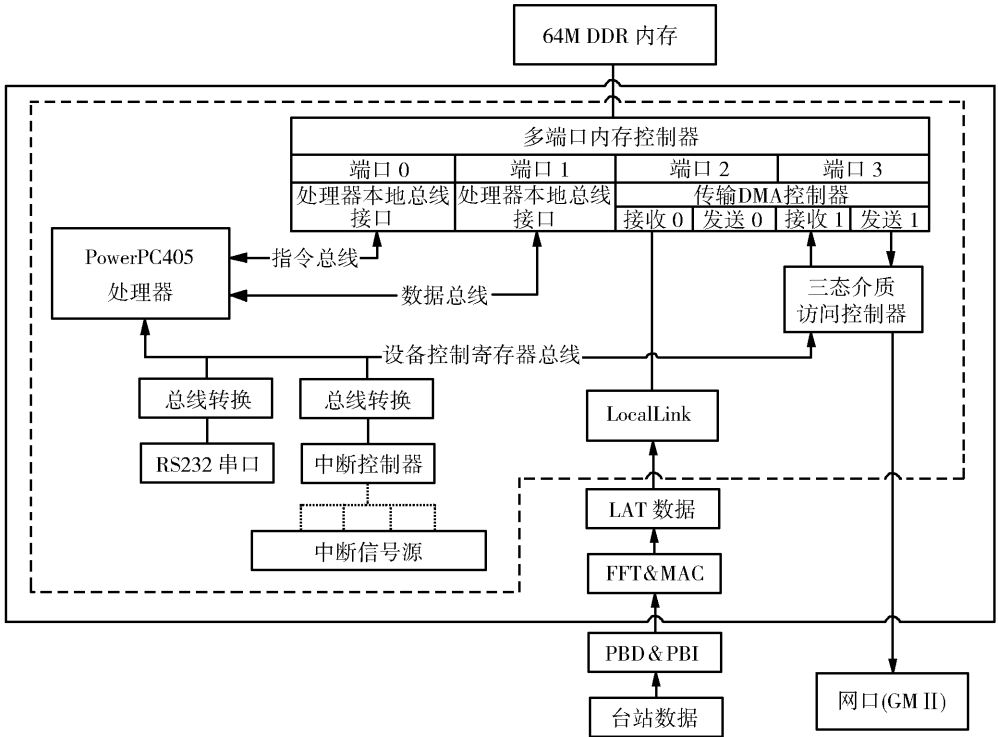


图 3 FPGA 内部硬件组成

Fig. 3 Internal hardware components of FPGA

内嵌在 FPGA 中的 32 位硬核微处理器 PowerPC405 最高工作频率可以达到 450MHz。它采用 IBM 公司的 CoreConnect 总线结构与外围设备进行互联,通过数据端处理器本地总线 (DSPLB) 和指令端处理器本地总线 (ISPLB) 存取内存中的数据 and 指令,并通过设备控制寄存器总线 (DCR) 对外围设备进行控制和配置。

多端口内存控制器 (MPMC) 通过四个独立的端口使得 64M DDR 内存资源得到共享。其中的两个端口分别连接到数据端处理器本地总线 (DSPLB) 和指令端处理器本地总线 (IS-PLB)。另外两个端口连接到传输直接存储控制器 (CDMAC) 上,使得传输直接存储控制器 (CDMAC) 可以同时管理进出 64M DDR 内存的两个双向的数据流。

传输直接存储控制器 (CDMAC) 负责数据在内存和外围设备之间的传输。它支持可变大小的数据包传输,传输直接存储控制器 (CDMAC) 的控制和状态寄存器可以由 PowerPC 通过设备控制寄存器总线 (DCR) 接口加以设置。

中断控制器 (INTC, Interrupt Controller) 扩展传送给 CPU 的外围设备的中断信号,同时对多种中断源的优先级进行管理。软件设计时要为各个中断源编写相应的中断服务程序,并配置中断矢量表,以达到所要实现的操作。

3 数据传输 DMA 实现原理

系统在将数据通过千兆以太网传输出去时只需要给 CDMAC 提供一个 DMA Buffer De-

scriptor 数据结构。DMA Buffer Descriptor 是软件部分与以太网传输数据通道的接口,它里面包含着等待网络发送出去的数据在 64M DDR SDRAM 中存储的必要信息。而且多个 DMA Buffer Descriptor 可以串连在一起,共同表示内存中分散数据块的存储信息,这些数据块组合在一起可以作为一个完整的帧,经由以太网发送出去。

如图 4 所示,三个 DMA Buffer Descriptor 描述了内存中的三个分散的数据块,这三个数据块组合起来可以表示一个完整的帧。“下一个描述符地址”指针指向下一个 DMA Buffer Descriptor 的头地址;“数据起始地址”指向数据块在 64M DDR 内存中的存放位置;“数据长度”指定数据块的长度。剩下的数据部分则表示传输直接存储控制器 (CDMAC) 的状态以及数据帧校验和信息。

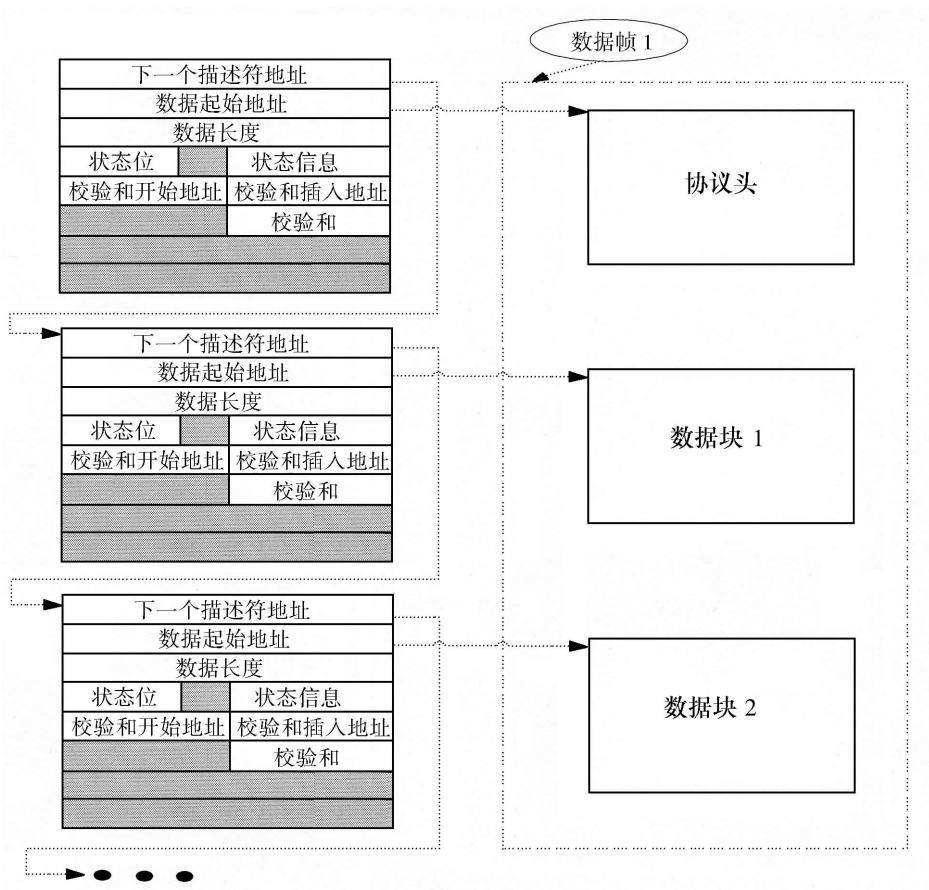


图 4 DMA 数据块描述符

Fig. 4 DMA Buffer Descriptor

4 软件设计

软件采用顺序执行的结构方式(图 5)。为了能够响应外围设备的中断请求,在软件中为多个外围设备提供了相应的中断服务程序。

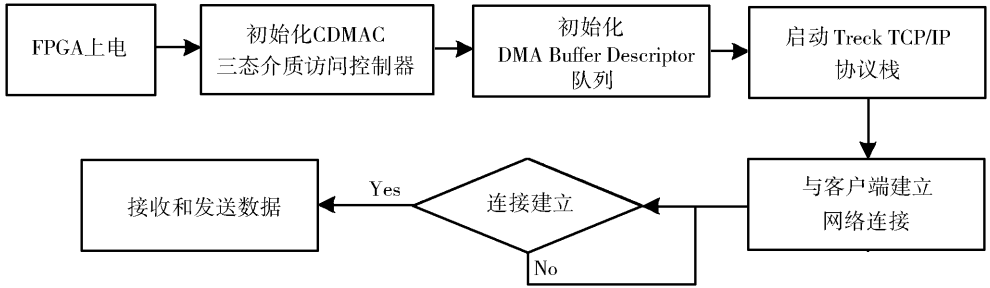


图 5 程序流程

Fig.5 Flow chart of the software program

Treck TCP/IP 协议栈由 Treck 公司设计,可以很容易地移植到嵌入式软件系统中,而且可以根据应用程序的需要进行裁剪,使得它在满足功能需要的同时体积达到最小。该协议栈提供了一系列的 API 函数给用户,利用这些 API 函数我们可以将该协议栈与我们的应用环境有机集合在一起,这些 API 函数包括操作系统内核接口、时钟接口、驱动程序接口和套接字接口。所以自上而下来看系统的软件层次结构如图 6^[4] 所示。

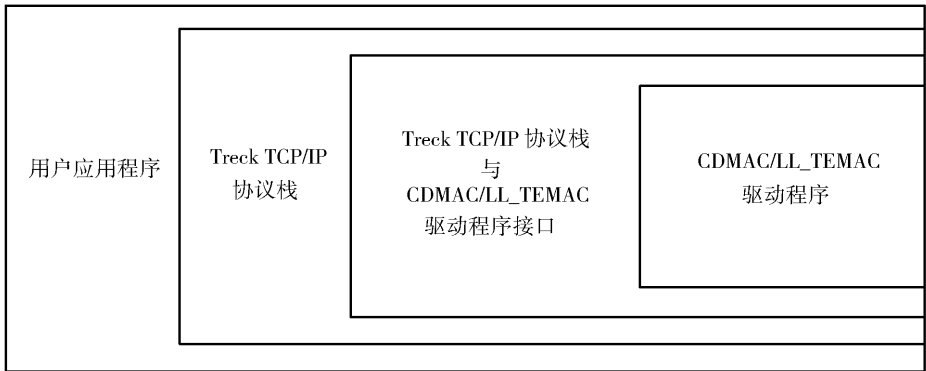


图 6 软件层次结构图

Fig.6 Software hierarchy

5 系统性能测试

用一根千兆网线将图 2 所示的硬件系统与商用 PC 直接对连。PC 机作为服务器端,其程序流程图如图 7 所示。主程序在将主机 IP 地址与套接字绑定并开始侦听后建立了一个线程 do_timer()。这个线程每隔 1s 时间统计一次接收的数据量,并在 PC 机终端输出。服务器端 PC 机的 CPU 为 Intel Pentium(R) 3.2GHz,内存为 512M DDR,装有自适应的千兆以太网卡。

嵌入式系统上运行的客户端应用程序运行在 64M DDR 内存中。应用程序编译得到的可执行文件主要由 text、data 和 bss 三部分组成。它们的大小见表 1。text 存放程序的可执行代码;data 存放用于读和写而大小大于 8 byte 的数据;bss 存放未经过初始化而大小大于 8 byte 的数据。因为千兆以太网通讯需要大量的数据传输,因此在程序的 linker script 中为 heap 和

stack 分别指定了 32KB 的空间,为动态数据的分配预留足够的内存空间。heap 和 stack 包含在 bss 部分中。

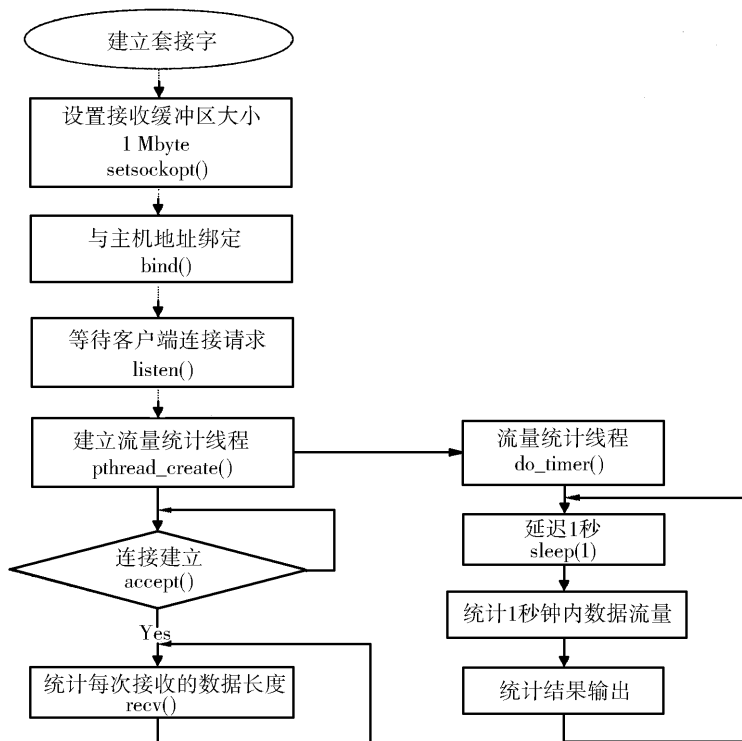


图 7 服务器端软件流程图

Fig. 7 Software flow chart of the server side

表 1 程序可执行文件代码分布

Table 1 Code distribution of the software executable file

指令 text	读写数据 data	未初始化数据 bss	总大小 (十进制)	总大小 (十六进制)	文件名 filename
147948	54764	4274828	4477540	445264	ppc405_0/code/treck. elf

客户端应用程序与 PC 机建立 TCP 网络连接后,不断地向服务器端应用程序发送每帧 1500 bytes 的 LTA 数据。经实验测定,通信速率可达到 $260 \text{ Mb} \cdot \text{s}^{-1}$,而且服务器端接收的数据完全正确,能够满足 VLBI 硬件相关处理机中数据流量的要求。

6 采用本系统的性能优势

原有的 LTA 数据采集系统使用 ADLink 的 cPCI - 7300A 数据采集卡。使用该卡有以下几个缺点:

- (1) 必须与带有 PCI 功能的商用 PC 机结合使用,从而增加了系统成本并限制了使用范围。
- (2) cPCI - 7300A 功能单一,不利于硬件和软件功能扩展。而且传输速率给现有的硬件

相关处理机带来了技术瓶颈。

(3) 采集到的 LTA 数据不能立即实现远距离网络传输以及多点传输。

使用本文所设计的嵌入式千兆以太网传输系统可以明显改善现有系统的性能,大幅度提高数据传输速率,并降低系统实现的硬件规模和成本。由于本系统完全利用 FPGA 实现数字逻辑电路,方便将来对系统进行功能扩展。

参 考 文 献

- [1] 郑为民, 杨艳. 世界科技研究与发展, 2005 27(5): 7~15
- [2] 卢毅, 赖杰. VHDL 与数字电路设计, 北京: 科学出版社, 2001
- [3] 王诚. FPGA/CPLD 设计工具——Xilinx ISE 5. x 使用详解, 北京: 人民邮电出版社, 2003
- [4] Douglas E. Comer. 熊桂喜, 王小虎译. 计算机网络(第3版), 北京: 清华大学出版社, 2002

EMBEDDED GIGA-BIT NETWORK SYSTEM USED IN VLBI HARDWARE CORRELATOR PROCESSOR

LI Jian^{1,2} ZHANG Xiu-zhong¹ XIANG Ying¹

- (1. Shanghai Astronomical Observatory, Chinese Academy of Sciences, Shanghai 200030;
- 2. Graduate School of the Chinese Academy of Sciences, Beijing 100049)

Abstract

As a radio astronomical observation technology with very high space resolution, Very Long Baseline Interferometry (VLBI) has been widely used in the high accuracy deep space probe tracking activities. The correlator is the key data-preprocessing device. With the rapid development of embedded system implemented on FPGA platform, FPGA and embedded system based hardware correlator become the highlight of the VLBI technology and have a dramatic progress.

This paper studies the use of embedded Giga-bit Ethernet transmission system in the hardware correlator's long-term cumulative(LTA) processor subsystem improvement.

Key words VLBI — correlator — embedded system — giga-bit ethernet — FPGA