

相位校正信号提取在 CDAS 中的 实现及测试

叶伟^{1,2}, 项英¹, 赵融冰¹

(1. 中国科学院上海天文台, 上海 200030; 2. 中国科学院研究生院, 北京 100049)

摘要: 通过从观测站或相关处理机提取相位校正信号, 可以测出基带转换器各通道的相对仪器时延, 从而校正观测信号通过各通道后产生的附加仪器时延。介绍了 CDAS 中相位校正信号提取的原理和算法、FPGA 实现以及测试结果。

关键词: CDAS; 相位校正信号; FPGA; 通道延时

中图分类号: TN911.7; TM933.3⁺¹²

1 引言

由于探月工程和天文观测的需要, 上海天文台正在研制新一代 VLBI (Very Long Baseline Interferometry) 数据采集终端 CDAS (Chinese VLBI Data Acquisition System)^[1]。CDAS 由三部分组成: 模拟射频部分、数字部分和输出接口部分, 主要实现信号从中频到基带的转换, 并将转换后的数据送到 Mark5B 记录设备。

为测试仪器时延, 在接收机前端增加一个窄脉冲信号发生器, 该信号发生器产生的脉冲串就是相位校正信号^[2]。目前 CDAS 的通道间相位一致性较差, 即各个通道之间的时延有较大的差异。通过提取相位校正信号的相位和幅度, 可以获得仪器设备的相位偏移, 并将其从观测信号中消除, 从而获得高精度带宽综合时延估计结果。目前国际上美国 Haystack 天文台提出了分别采用软件和硬件的方式^[3, 4]进行相位校正信号提取, 其中软件方式提取在 Mark5B 上得到了实施, 但是此方式有一定的局限性。一方面采集数据的模式只能是 0XFFFFFFFF, 这导致数据量过于庞大; 另一方面采用的数据存储格式为 .m5b 格式, 实用性不大。国内上海天文台利用多线程和 SSE (Stream SIMD Extentions) 技术, 通过软件提取出 4 台站多通道的所有相位校正信号, 并在探月工程中得到成功应用^[5]。

FPGA (Field Programmable Gate Arrays) 是现场可编程门阵列的简称, 具有性能好、规模大、可重复编程等优点, 在嵌入式系统中得到了广泛应用。本文利用 Xilinx 公司的 FPGA 芯片实现相位校正信号即 PCAL (Phase Calibration Signal) 的提取, 从而测出各通道之间的时延差, 以校正不同通道之间的时延问题。

本文拟讨论 CDAS 内, 在 ISE、EDK 开发环境下 PCAL 的 FPGA 实现。首先介绍 PCAL 的基本原理和 CDAS 综合板的基本构造, 接着描述 PCAL 的 FPGA 算法以及测试方法, 并给出测试结果, 最后讨论现有工作的不足之处, 并提出初步的改进方案。

2 基本原理

VLBI 相关处理系统直接测量出的延迟值 τ 包括以下时延分量:

$$\tau = \tau_g + \tau_{\text{ins}} + \tau_{\text{atm}} + \tau_{\text{clock}} + \tau_{\text{ion}}, \quad (1)$$

其中 τ_g 为需要求的观测量几何时延, τ_{ins} 为仪器时延, τ_{atm} 为大气时延, τ_{clock} 为钟差, τ_{ion} 为电离层效应。只有去掉了 τ_{ins} 、 τ_{atm} 、 τ_{clock} 、 τ_{ion} 这些附加的时延成分, 才能得到真正的几何时延 τ_g ^[5]。通过提取相位校正信号可以计算出附加时延中的仪器时延 τ_{ins} 。接收设备的仪器时延可表示为

$$\tau_{\text{ins}} = \frac{d\phi}{dw}, \quad (2)$$

式中 ϕ 、 w 分别为接收设备中信号的相位延迟和角频率。

下面简单推导和分析相位校正信号提取的算法。设频率为 w 的相位校正信号 $\cos(wt)$, 经过 CDAS 后信号记为 $z(t)$, $z(t)$ 幅度记为 $A(t)$, 并增加附加相位延迟 $\phi(t)$,

$$z(t) = A(t) \cos(wt + \phi(t)). \quad (3)$$

$A(t)$ 和 $\phi(t)$ 均为缓变信号, 短时间内可视为常数。记相位校正参考信号 $R(t) = e^{j\omega t}$, 将 $z(t)$ 和 $R(t)$ 作相关运算^[5], 并进行离散化使其能够在数字电路中实现。设 $C_{\text{PR}}(m)$ 为两者离散化后的互相关函数, m 为位移或滞后参数。则

$$C_{\text{PR}}(m) = \frac{1}{N} \sum_{i=0}^N (A \cos(\omega t_i + \phi) \cdot e^{j\omega(t_i+m)}), \quad (4)$$

其中 N 为离散化后的积分时间。得到结果:

$$C_{\text{PR}}(0) = \frac{1}{2} A e^{-j\phi}, \quad (5)$$

ϕ 是相位校正信号经过仪器后增加的附加相位。类似地可以求出其他相位校正信号的附加相位, 求出所有相位校正信号的附加相位后运用公式 (2), 便可以计算出仪器时延。

3 相位校正信号提取的硬件平台和 FPGA 实现

3.1 相位校正信号提取的硬件平台

CDAS 数字部分设计由 5 块自行研制的电路板和 1 块 CPU 组成。其中 5 块电路板分为 4 块信号处理板和 1 块综合板^[1], 综合板由 4 块 Xilinx LX160 芯片与 1 块带有 PowerPC405 处理器的 Xilinx FX60 芯片构成。

图 1 为 CDAS 综合板的外观图, 在图中标注了 FPGA 芯片的位置, 其具体与信号处理板和控制计算机的连接见图 2。FX60 芯片中的 PowerPC405 处理器接收到控制计算机发出的指令后, 再将命令向 LX160 芯片中传送。每块信号处理板可送出 32 bits 数据, 于是 4 块信号处理板最多能送出 128 bits 数据, 需要将这 128 bits 的数据根据数据模式从中选出 32 bits 作为 VSI (VLBI Standard Interface) 的输出, 这一任务经过综合板的 4 块 LX160 芯片后完成。相位校正信号提取在第 4 块 LX160 芯片中实现。在实际应用中, 需对根据观测模式选出的 32

bits 数据任取 1 bit 进行相位校正信号提取, 在不同带宽下每一通道具有数目不同的相位校正信号, 这些问题都在软件接口部分解决。对于相位校正信号的提取, 软件接口部分主要的操作有: 设置需提取的 bit 位, 设置 DDS (Direct Digital Synthesizers) 的频率和相位, 设置带宽和积分时间, 读取结果并在 CDAS 上位机软件界面上将提取出的 PCAL 幅度和相位成图。

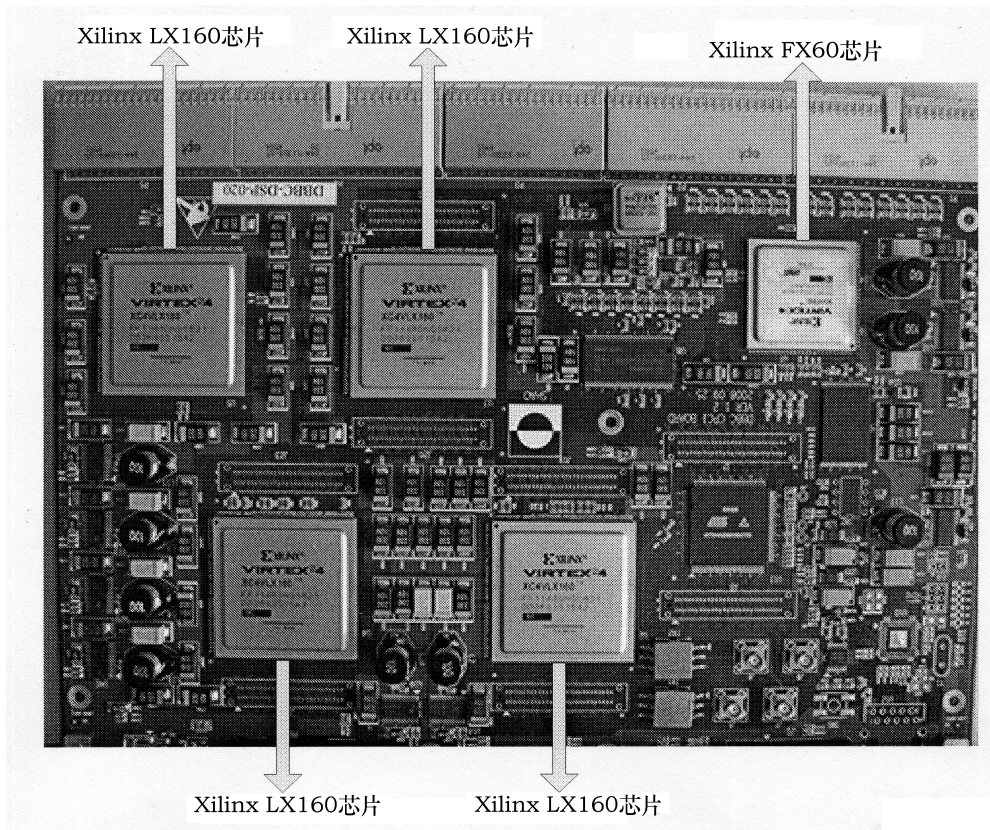


图 1 CDAS 综合板的外观图

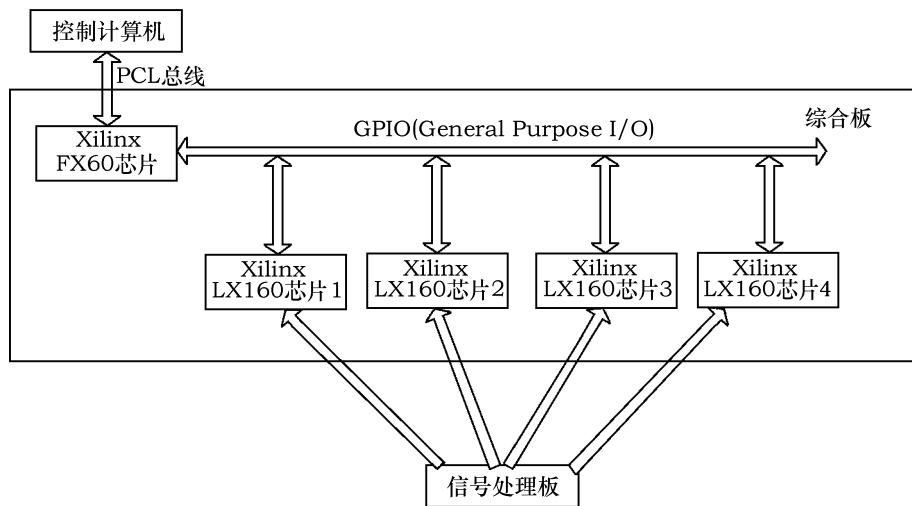


图 2 CDAS 综合板与信号处理板以及控制计算机的连接

3.2 相位校正信号提取的 FPGA 实现

图 3 是根据相位校正信号提取的基本原理设计的 FPGA 框图。MUX 模块实现由 32 bits 数据任选 1 bit 的功能。利用十进制 DDS 的 IP 核 (Intellectual Property Cores) 产生相位校正参考信号。利用累加器进行积分。利用控制器控制各种端口, 主要有带宽使能 (band.ce)、累加器的清零 (Reset) 和使能 (Acc.ce) 以及缓存器的使能端 (Output.ce)。经过缓存器将积分后的结果送出去, 送出的实部和虚部存储到 DDR (Double Data Rate SDRAM) 中, 供控制计算机进一步计算和处理。

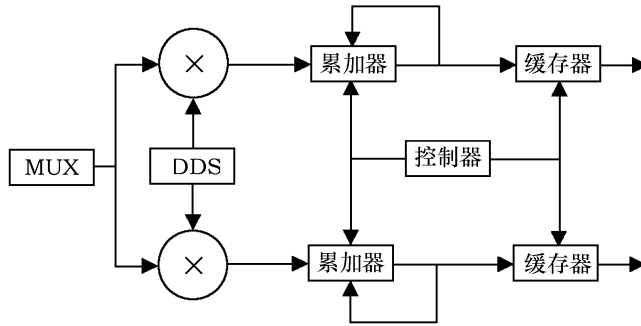


图 3 相位校正信号提取的 FPGA 设计框图

DDS 的原理是从相位出发, 通过改变相位来改变正弦函数的幅度输出。十进制 DDS 的设计框图如图 4 所示, 经过二进制-BCD 码混合累加器对相位进行累加, 再将相位通过查找表映射成幅度。

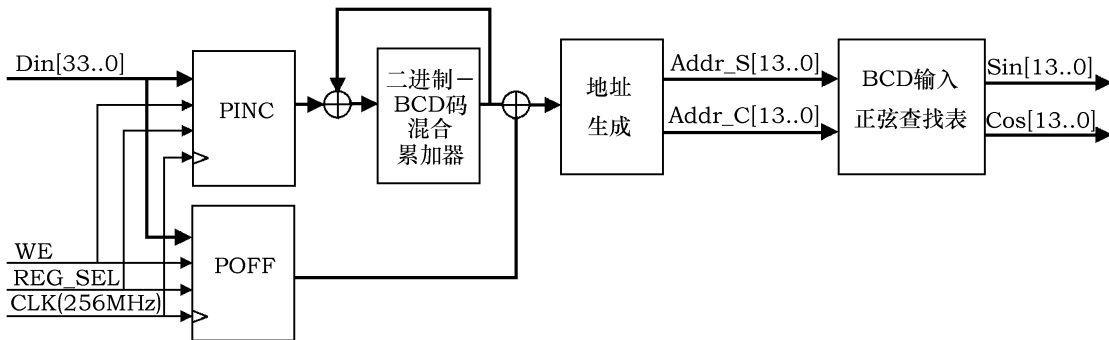


图 4 十进制 DDS 的设计框图

图 5 是 8 MHz 带宽下当 DDS 的 reset 信号拉高后关键信号的 FPGA 时序图。8 MHz 带宽下应以 16 MHz 时钟采样, 现 FPGA 时钟频率为 64 MHz, band.ce 两个上升沿之间的间隔应为 4 个采样时钟周期, 才能符合带宽采样要求。在具体测试中, 由于十进制 DDS 相位混合累加器需要一段时间才能同步累加, 当 DDS 的 Reset 信号拉高后, DDS 的输出需要 16 个时钟周期才能正确输出; 所以 band.ce 第一个上升沿相对于 reset 信号上升沿延迟 16 个时钟周期, 以等待 DDS 有效输出。其它带宽可参照以上所述进行 VHDL (Very-High-Speed Integrated Circuit Hardware Description Language) 代码编写。

图 6 是控制计算机的界面。通过计算机控制界面可设置 DDS 频率和相位、需要提取的通道以及积分时间。

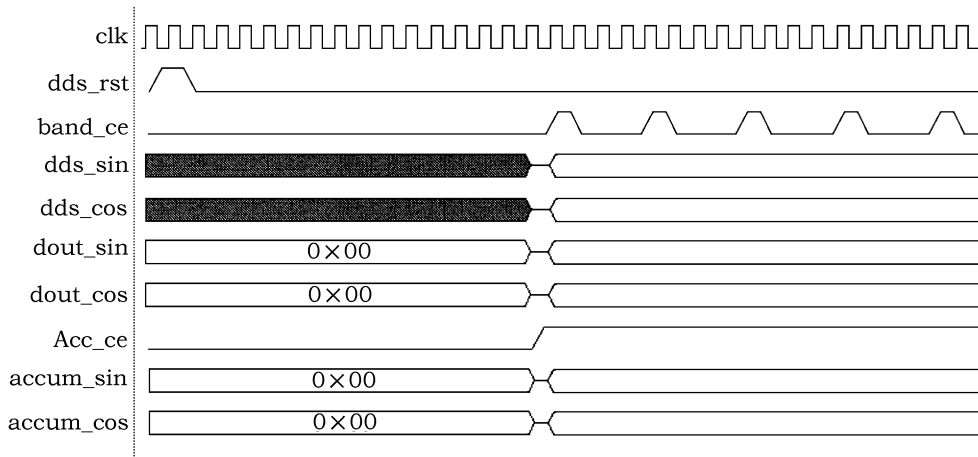


图 5 8 MHz 带宽下 DDS 关键信号时序图

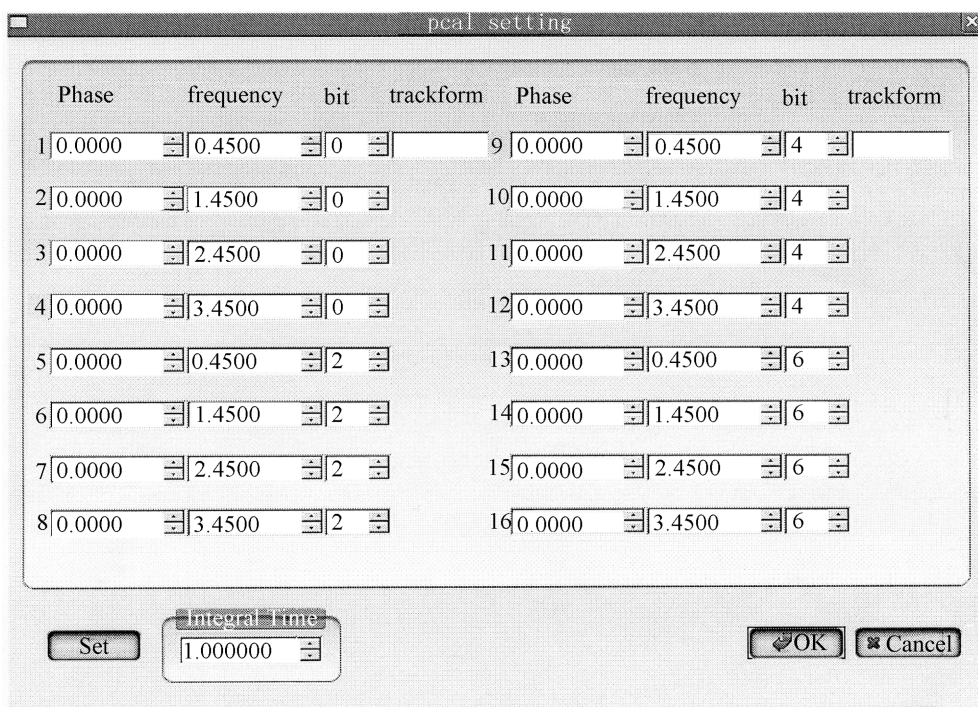


图 6 相位校正信号的计算机控制界面

4 测试和分析

VHDL 程序经过综合布线、时序仿真后通过 JTAG (Joint Test Action Group) 链加载到 FPGA 芯片，需要对 FPGA 处理后的结果进行测试，主要是对通道间的时延差进行测试，其中以某一通道为基准，计算其它通道相对于这一通道的时延差。测试方法为：在某一时刻，一方面用 FPGA 实时计算，并保存到一个文件中；另一方面，将数据记录到 Mark5B 中，通过 Matlab 进行处理。测试主要是对两种方法处理的结果进行比较。

测试分为以下两个部分：

- (1) 8 MHz 带宽下积分周期为 1 s 时，FPGA 提取的相位与 Matlab 提取的 PCAL 相位比较 (总积分时间为 3507 s)。

首先根据 Mark5B 的帧头求出初始记录时刻，从 FPGA 处理的结果中找出同一时刻，从中取出一个通道的一个相位校正信号的相位；接着将 Mark5B 采集的数据对同一通道的同一相位校正信号在 Matlab 中计算出相位，积分周期均是 1 s，共 3 507 s。最后将 Matlab 处理的结果和 FPGA 处理的结果在同一张图上表示，比较两者的吻合度。

处理结果见图 7，从图中可以看出两者的变化情况基本一致，说明 FPGA 提取的相位是正确的。同时，由于 Matlab 和 FPGA 的相位参考信号 (即 DDS) 字长的不同，两者有一定的偏差。将 FPGA 处理出来的相位减去 Matlab 处理出来的相位可得到图 7 中的相位误差。

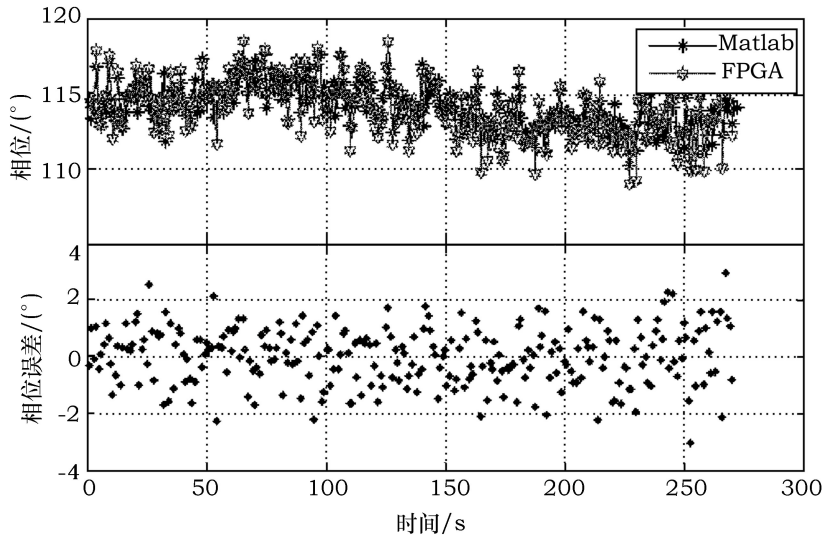


图 7 积分周期为 1 s 时提取的 PCAL 信号以及误差

(2) 4 MHz, 8 MHz, 16 MHz, 32 MHz 不同带宽条件下时延差的测试。

图 8 为由 Mark5B 采集的一组数据通过 Matlab 处理得到的一个通道的频谱和提取出的 PCAL 相位，该组数据带宽为 8 MHz。

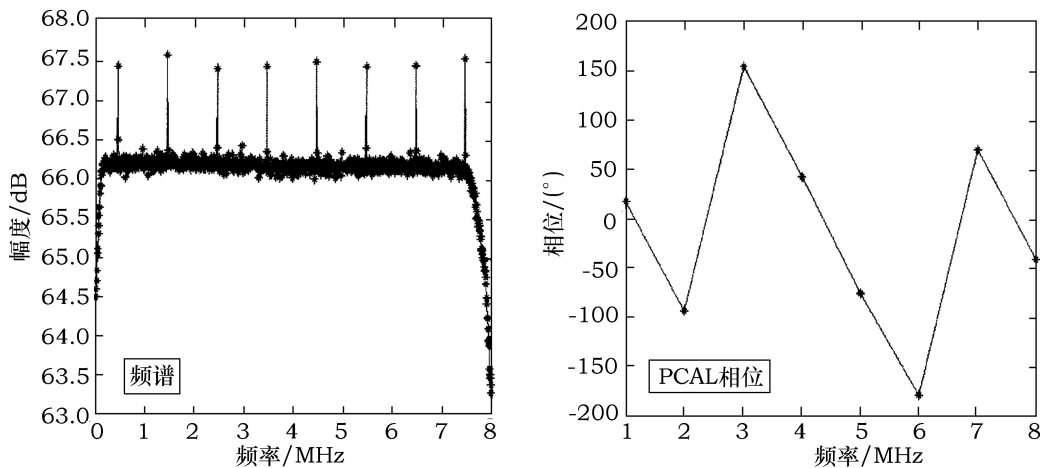


图 8 频谱和 PCAL 相位

从图中可知，由于相位校正信号之间的间隔为 1 MHz，所以相邻之间可能会有 1 μ s 的模糊度。当把 1 μ s 的模糊度去除掉后，就可将 PCAL 的相位展成直线，如图 9 所示，利用公式 (2) 计算图中直线的斜率便可算出该通道的时延值，同理可算出其它通道的时延值。

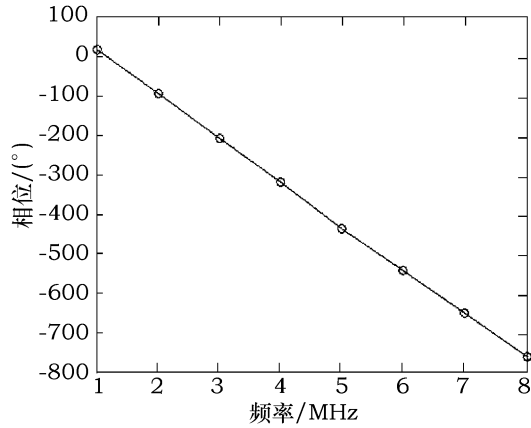


图 9 去除模糊度后的相位

现在的接口有 16 个，也就是可以一次性测出 16 个 bit 位。实验模式为 VLBA，观测频率为 699.55 MHz，测的是 1 块 DBBC 板 4 个通道之间的时延差，前 4 个接口是第 1 个通道的 4 个 pcal 频点，接下来 4 个接口是第 3 个通道的 4 个 pcal 频点，依次下去，具体设置见图 6。根据观测模式 VLBA 的特点，通过如图 6 的设置便可以求出 1 块板子中 4 个通道的时延，接着以通道 1 的时延为基准，便可以求出其他通道与通道 1 的时延差。

测试结果见表 2，其中相关参量的含义见表 1。

表 1 测试中各参量的含义

参量	含义
ywtest1125_nM.dat	n MHz 带宽下的 Mark5B 数据
pcal_matlab	用 Matlab 实现相位校正信号算法求出的时延差
pcal_fpga	用 FPGA 实现相位校正信号算法求出的时延差
ch1-ch0	通道 2 和通道 1 之间的时延差
ch2-ch0	通道 3 和通道 1 之间的时延差
ch3-ch0	通道 4 和通道 1 之间的时延差

表 2 测试结果

数据	ch1-ch0 /ns		ch2-ch0 /ns		ch3-ch0 /ns	
	pcal_ matlab	pcal_ fpga	pcal_ matlab	pcal_ fpga	pcal_ matlab	pcal_ fpga
ywtest1125.4M.dat	154.444 45	154.038 8	31.694 45	31.261 1	33.555 56	33.776
ywtest1125.8M.dat	91.7	91.945	31.122 3	31.127 8	32.697 3	32.505 5
ywtest1125.16M.dat	60.661 09	60.416 6	31.327 69	31.25	1.736 11	1.916 6
ywtest1125.32M.dat	45.027 77	44.813 8	31.333 33	31.230 5	-13.666 6	-13.713 8

因为 Matlab 计算时没有 FPGA 中的时序和 DDS 字长效应问题，所以 Matlab 处理出的结果更为可信。从表 2 可知，用 FPGA 实现相位校正信号算法求出的时延差与用 Matlab 实现同样算法求出的时延差之间的差别在 0.1 ns 级别。以 Matlab 处理出的结果为标准，与其比较得到 FPGA 处理结果的标准差为 0.225 66 ns，可初步证明通过 FPGA 实现相位校正信号算法求出的时延差在精度上满足要求。

5 总结及讨论

本文介绍了 CDAS 中相位校正信号提取的 FPGA 实现, 比较详细地介绍了通道间机器附加时延的测试, 通过测试初步证明 FPGA 提取的 PCAL 相位是正确的, 通道间附加时延测试的精度满足要求。

从初步的测试结果可以看出, 8 MHz 带宽下 FPGA 与 Matlab 处理同一 PCAL 信号得到的相位误差最大达到 2° , 这一精度需要进一步提高。另外由图 6 可知, PCAL 的接口有 16 个, 根据实际情况接口仍需要扩展, 以适应更多 PCAL 信号提取的需要, 在扩展的时候需要考虑到芯片资源的限制。基于本文的工作结果接下来的工作可以分为两部分: 一部分是 DDS 的输出字长从现在的 14 位进行延伸, 以提高输出的相位精度; 另一部分在 PCAL 接口扩展时可以考虑采取类似于滤波器的分布式算法实现方式进行改进^[6]。

参考文献:

- [1] 吴亚军, 项英, 张秀忠等. 中国科学院上海天文台年刊, 2009, (30): 51
- [2] Ulvestad J, Goss M. *Sky & Telescope*, 1999, 98(4): 36
- [3] Roger Cappallo. mark5B memo#21, 2004
- [4] Beaudoin C J. bbdev memo#31, 2009
- [5] 杨艳, 郑为民. 中国科学院上海天文台年刊, 2006, (27): 107
- [6] White S A. *IEEE Acoust. Speech Signal Processing Mag.*, 1989, (6): 4

The Implementation and Test of Phase Calibration Signal's Extraction in CDAS

YE Wei^{1,2} XIANG Ying¹ ZHAO Rong-bing¹

- (1. *Shanghai Astronomical Observatory, Chinese Academy of Sciences, Shanghai 200030;*
2. *Graduate School of Chinese Academy of Sciences, Beijing 100049*)

Abstract: Extraction of phase calibration signal in observing station or through correlations can measure the relative instrumental delay in base-band converter's channels, and thereby can correct the additional instrumental delay. This paper describes the phase calibration signal extraction's theory and algorithm in CDAS (Chinese VLBI Data Acquisition System) and implementation using FPGA. Some tests are given and analyzed.

Key words: CDAS; Phase Calibration; FPGA; delay in channel