

doi: 10.3969/j.issn.1000-8349.2014.01.07

# VLBI 数字基带转换器通道 时延一致性的调整

朱人杰<sup>1,2</sup>, 吴亚军<sup>1,2</sup>

(1. 中国科学院 上海天文台, 上海 200030; 2. 中国科学院 上海天文台 射电天文重点实验室, 上海 200030)

**摘要:** VLBI 数字基带转换器 (Digital Baseband Converter, 简称 DBBC) 又称为 CDAS (Chinese VLBI Data Acquisition System), 是上海天文台自主研发的新一代数字化终端设备。该设备可以将宽带信号分成若干个基带信号。由于其结构上采用了多芯片和多板卡结构, 使得通道之间的时延存在差异。从设备结构入手, 分析了各通道之间时延差异产生的主要原因, 提出以复位信号为参考, 基于 m 序列的数据同步方法以解决该问题。通过实验, 证明该方法能有效地改善同一中频上各通道间时延的差异。

**关键词:** 数据处理板; 数据结合板; 复位信号; 时钟域; 通道时延; 相位

**中图分类号:** P228      **文献标识码:** A

## 1 引 言

甚长基线干涉测量 (VLBI, Very Long Baseline Interferometry) 是一种重要的射电天文技术。在多个 VLBI 台站共同协助下, 通过延长基线和提高观测频率, 可获得优于亚毫角秒级的空间分辨率, 并能以毫米级的精度测量  $10^3$  km 以上基线的长度, 是现代天文观测中分辨率最高的观测手段之一<sup>[1,2]</sup>。基带转换器是 VLBI 台站终端的重要组成部分, 其作用是从中频信号中提取需要的窄带信号, 将其搬到基带, 并送给记录终端进行数据记录, 参见图 1。

VLBI 是通过测量同一信号到达不同观测站的几何时延来计算目标源角度的, 其观测量为时延和时延率, 是一种对信号相位和时延敏感的测试方法; 因此, 信号通过设备所产生的时延对测量结果有直接影响。

CDAS 是上海天文台自主研发的新一代数字化终端设备。从 2010 年起, 已分别在上海佘山、北京密云、云南昆明和新疆乌鲁木齐南山 4 个观测站安装使用, 并且顺利完成了嫦娥

收稿日期: 2013-05-05; 修回日期: 2013-12-05

资助项目: 国家自然科学基金 (11103066)

通讯作者: 朱人杰, zhurj@shao.ac.cn

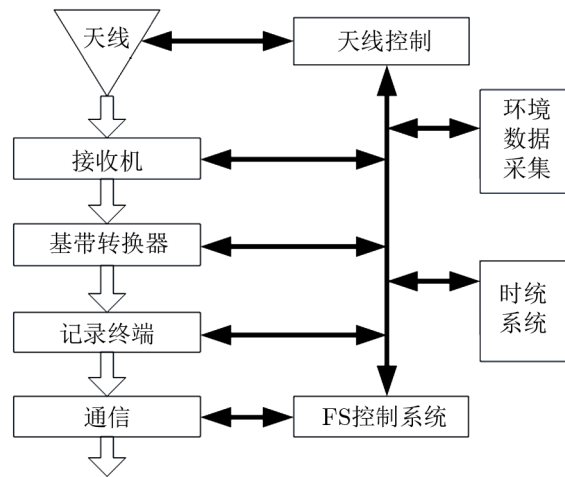


图 1 VLBI 观测站基本组成

2 号卫星的测定轨任务, 还参加了单通道 32 MHz 带宽、2 Gbps 的天文观测, 在 X 波段上得到 J1836-194 的 VLBI 图像<sup>[3]</sup>。昆明站的 CDAS 系统多次参加 IVS 的测地观测<sup>[4,5]</sup>, 也取得了良好的结果。

CDAS 支持 4 路中频输入, 最多可输出 16 路基带信号, 基带信号带宽可为 32 MHz, 16 MHz, 8 MHz, 4 MHz, 2 MHz 任选<sup>[6]</sup>。由于硬件结构以及设计上的原因, 目前 CDAS 的性能仍有不尽如人意的地方, 主要表现在各个通道的时延和相位不一致, 给测地和探测器的 VLBI 数据处理带来一定的难度。本文从结构上分析了问题的原因, 提出新的解决办法, 并在 CDAS 中应用了这一方法, 使得通道间的时延和相位问题得到了明显的改善。

## 2 CDAS 通道间时延差异的产生

CDAS 数据处理部分由 5 块板卡、20 片 FPGA 组成, 这些芯片之间存在着高速、多时钟域的数据流, 只要其中一个数据流与其他不同步, 便会产生时延的差异。

图 2 显示了 CDAS 的数据流构架。图中 a、b、c、d 的 4 块数据处理板带有 ADC (Analog-Digital Converter), 每一块由一片 ADC 串接 4 片 FPGA (Field Programmable Gate Array) 组成, 负责对中频信号的采样及下变频和基带滤波。数据处理板的处理结果, 通过背板送到 e 板, 进行数据选择, 综合成 32 位 VSI (VLBI Standard Interface) 数据, 送至 VSI 接口。e 板称为数据综合板, 其结构与数据处理板类似, 由 4 片 FPGA 串接组成。图中仅用时钟线来表示时钟和数据的传输, 同时也体现出不同时钟、时钟域之间的关系。

从数据流构架中可以看出, 整个系统中存在横向和纵向两条数据流。其中横向数据流存在于每一块板卡上, 对于数据处理板来说, 是采样后原始数据的横向传递; 对于数据综合板来说, 是处理结果的横向传递, 将所有结果传递到第四片 FPGA 输出至 VSI 接口。而纵向数

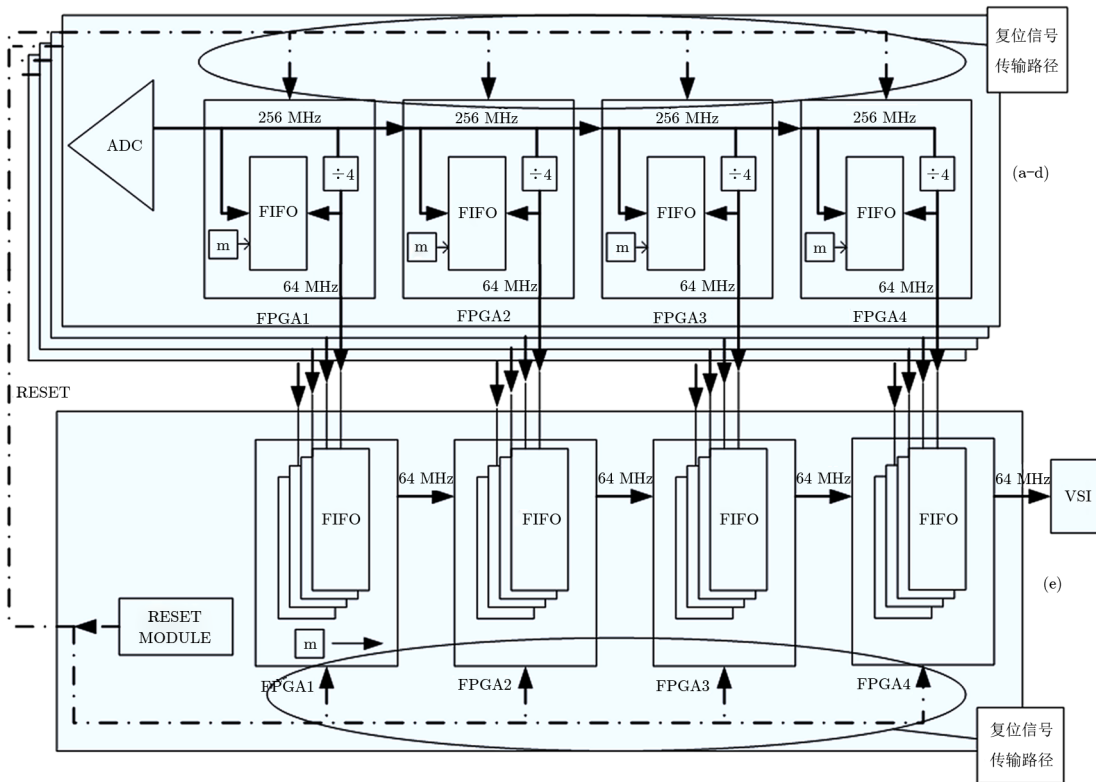


图 2 CDAS 数据流构架

据流存在于数据处理板和数据综合板之间，每一路纵向数据流都是独立的时钟域，对应一路基带信号。

通道间的数据同步意味着所有数据处理板上的所有 FPGA 芯片在同一时刻，处理相同采样时刻的原始数据，而数据综合板送到 VSI 接口的数据也必须是各通道相同时刻的处理结果。导致数据不同步的因素主要有 3 个：

(1) 复位信号有效时刻不一致

复位信号是数据处理起始时刻的参考点，该信号由外秒信号（即每秒一个脉冲）经受控门后产生，每次复位时，受控门打开，释放一个外秒信号通过，随后受控门便关闭，保证只复位一次，且与外秒同步。复位信号使得所有 FPGA 都从某一特定的初始状态开始运算。

CDAS 系统有一个特点，即原始数据流不受复位信号控制。原始数据自始至终从第一片 FPGA 逐片向后传递，一刻不停。这样，在每片 FPGA 中，复位信号的意义相当于标识出参与运算的第一个数据的时刻。

若复位信号到达时刻不同，则参与运算的起始数据时刻便不同，这必然引起通道间的时延差。从理论上说，图 2 中椭圆框中所示的复位信号（虚线）传输路径最好，因为只要 PCB (Printed Circuit Board) 设计合理，它可以同时传到同一块板上的所有 FPGA 芯片。然而事

实并非如此。

由于数据处理板上的时钟为 256 MHz, 而复位信号不属于该时钟域, 因此, 复位信号接入 FPGA 后, 必然存在跨时钟域的问题。图 2 中虚线的传输路径意味着每片 FPGA 中都要做跨时钟域处理, 来应对亚稳态问题; 与此同时, 复位信号采用 1 对多驱动, 会引起信号边沿变缓, 抖动变大, 使得亚稳态问题更加严重。跨时钟域处理的结果, 会导致复位信号在 FPGA 内有效的绝对时刻并不一定相同, 可能会相差一个时钟, 这会使得通道间产生 3.9065 ns 的时延差异。

### (2) 纵向数据流时钟域太多

图 2 中的纵向数据流, 均是从数据处理板流向数据综合板。数据综合板上的每片 FPGA 都要接收 4 路来自数据处理板的数据, 共 16 路数据。这 16 路数据处于不同的时钟域, 经过各自的背板走线, 到达时间也不相同。因此在数据综合板上, 需要对 16 路数据进行跨时钟域处理, 使之在最终输出给 VSI 接口之前, 集中到同一时钟域中。16 路数据的跨时钟域处理, 必然会引起数据之间时钟节拍的差异。

数据综合板上的时钟是 64 MHz, 对应最高 32 MHz 基带带宽输出。此时, 若数据相差一个时钟, 则时延会相差 15.625 ns。而当输出基带带宽变化时, 这一个时钟所引起的时延差会变化, 且与基带带宽成反比, 即当输出 16 MHz、8 MHz、4 MHz 和 2 MHz 基带带宽时, 时延差异分别会放大至 31.25 ns、62.5 ns、125 ns 和 250 ns。

### (3) 数据处理板上 FPGA 片间数据速率高

数据处理板上, 原始数据在片间以 256 MHz 时钟、16 位 DDR (Double Data Rate) 模式传递。由于各片 FPGA 内部时钟系统状态从复位到锁定所需的时间不尽相同, 故在时钟稳定后, 各片 FPGA 在同一时刻所处理的原始数据, 其采样时刻并不一定相同, 会相差 1 至 2 个时钟周期; 由此产生的结果, 与复位信号不同时到达的效果类似, 每差一个时钟, 通道间会产生 3.906 25 ns 的时延差异。

## 3 CDAS 通道时延调整方法

通道间时延差异的产生, 归根到底是由于数据不同步引起的, 因此, 数据同步, 是通道间时延调整的指导思想。

做到 20 片芯片之间的数据同步, 首先要有全局的参考标志时刻, 这个标志时刻, 只能以“复位信号有效”时刻为参照; 其次, 横向数据流与纵向数据流的同步方式会略有差异, 因为横向数据流是相同的原始数据, 而纵向数据流却因各自的原始数据不同产生不同的计算结果, 而且纵向数据流需同步 16 路数据。

为了能够“在相同的时刻”对各路数据进行比较, 除了改变复位信号的传递方式以外, 还需要在横向和纵向数据流中, 增加多条“检测数据流”。这些数据流与各自时钟域的数据同时传输, 代表了其所在时钟域的相对时间信息。

以下为具体实施方法。

(1) 优化复位网络结构解决复位延时的不一致性

图 3 是改进设计后的复位信号的传递方式，实验证明，它比图 2 中的方式更合适。

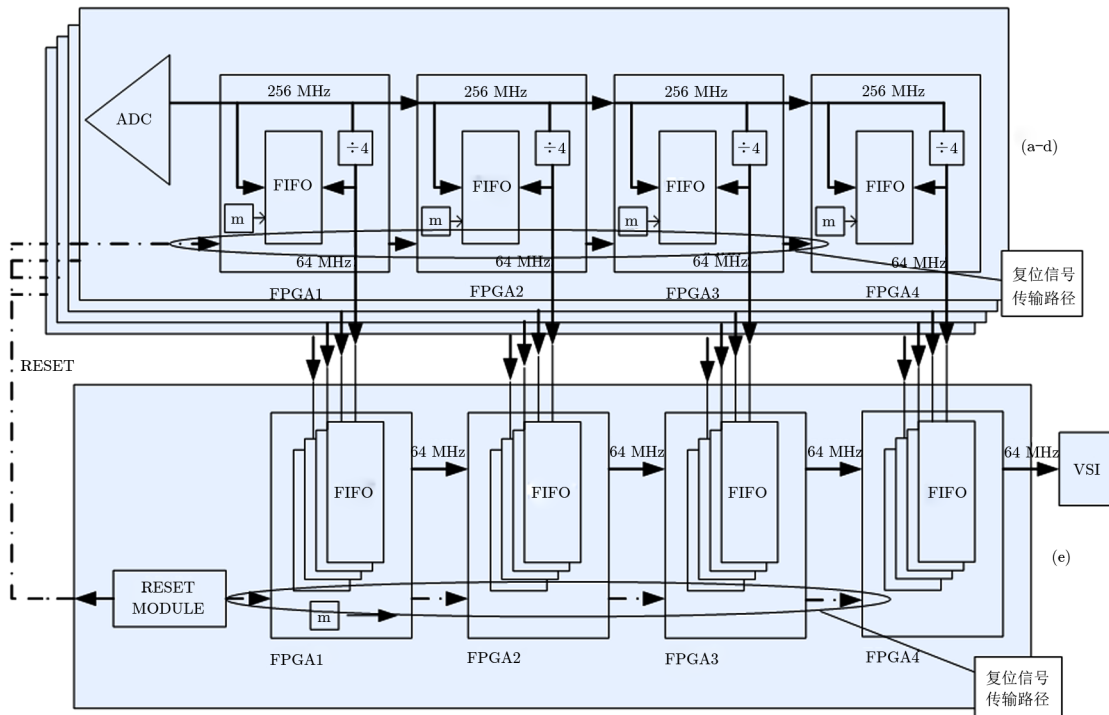


图 3 调整后的复信号传输路径

这种点对点传输的优点是能够更好地保证信号上升沿的质量。更主要的是，其跨时钟域设计只需在每块数据处理板的第一片 FPGA 中完成，所使用的以及向后级传递的复位信号已和时钟、数据属于同一时钟域，不会再有亚稳态存在，因此复位信号的有效时刻也就不会有一个时钟的不确定性。

(2) 采用基于 m 序列的检测数据流和参考数据流来解决多时钟域之间的数据同步问题

从数据处理板到数据综合板逻辑上是 FIFO (First In First Out) 对 FIFO 的联接，时钟为 64 MHz，如图 2 所示。FIFO 只能实现跨时钟域，而数据综合板上多个时钟域之间的数据同步则需要借助“检测数据流”和“参考数据流”。

1) 检测数据流

在数据处理板每片 FPGA 输出 FIFO 的输入端，即 256 MHz 时钟域里，设置一 m 序列发生器，作为“检测数据流”，生成多项式选取  $x^3 + 1$ ，具有 15 种状态，如表 1 所示。复位时初始状态为“0001”，且与“FIFO 写使能”同步工作，与处理结果一起进入 FIFO。由于在算法中存在数据的抽取，“FIFO 写使能”每 4 个时钟有效一次，这样，与 FIFO 的读、写速率相同，不会存在溢出问题。

### 2) 参考数据流

同样的  $m$  序列发生器被设置在数据综合板的第一片 FPGA 中, 利用复位信号对其进行同步, 并逐片向后传递。这路数据流称为“参考数据流”。在数据综合板中, 将所有检测数据流与参考数据流进行对比, 根据对比结果, 进行数据时钟节拍的调整。

### 3) 数据综合板上数据的同步

参考数据流和检测数据流的循环周期是 15 个时钟, 因此, 当两个数据流的时钟节拍差异在 15 个周期内时, 其时钟差可以被准确识别。

数据综合板上, 每一片 FPGA 在 FIFO 输出与最终输出端口之间, 插入一组移位寄存器, 用来调整各路数据之间的时钟节拍延迟。在复位信号有效后的固定时间内, 将完成跨时钟域的各路检测数据流分别与参考数据流进行比较, 计算出与各路数据流之间存在的时钟节拍延迟, 在移位寄存器组内进行调整后, 由统一的时钟输出。

图 4 表示数据综合板上第一片 FPGA 内的逻辑框图, 后三片的差别在于, 参考数据流 ( $m$  序列) 是从前一片 FPGA 中同数据一起传递过来的。

表 1  $m$  序列状态表

序号	$Q_3$	$Q_2$	$Q_1$	$Q_0$
1	0	0	0	1
2	0	0	1	1
3	0	1	1	1
4	1	1	1	1
5	1	1	1	0
6	1	1	0	1
7	1	0	1	0
8	0	1	0	1
9	1	0	1	1
10	0	1	1	0
11	1	1	0	0
12	1	0	0	1
13	0	0	1	0
14	0	1	0	0
15	1	0	0	0

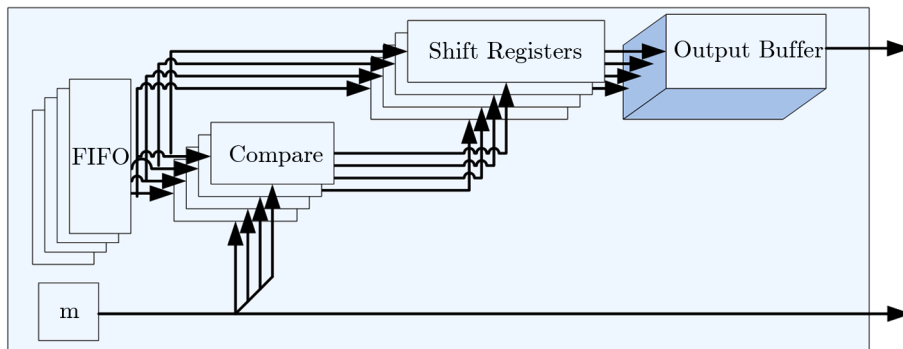


图 4 多个时钟域之间的数据同步

### 4) 数据处理板上的数据同步

数据处理板上 4 片 FPGA 之间的数据同步与多时钟域数据同步类似, 通过在 ADC 后的原始数据与 DSP (Digital Signal Processor) 模块入口之间插入一组移位寄存器, 来调节时钟节拍的延迟, 见图 5。

同样, 在第一片 FPGA 中产生一循环脉冲序列 (如 00000001), 作为检测数据流, 随原始数据一起传递。当复位信号到达时, 将每片 FPGA 检测数据流的当前状态进行锁存; 再以最后一块 FPGA 的状态为参照, 对锁存的数据进行比较; 根据比较结果, 在移位寄存器组里,

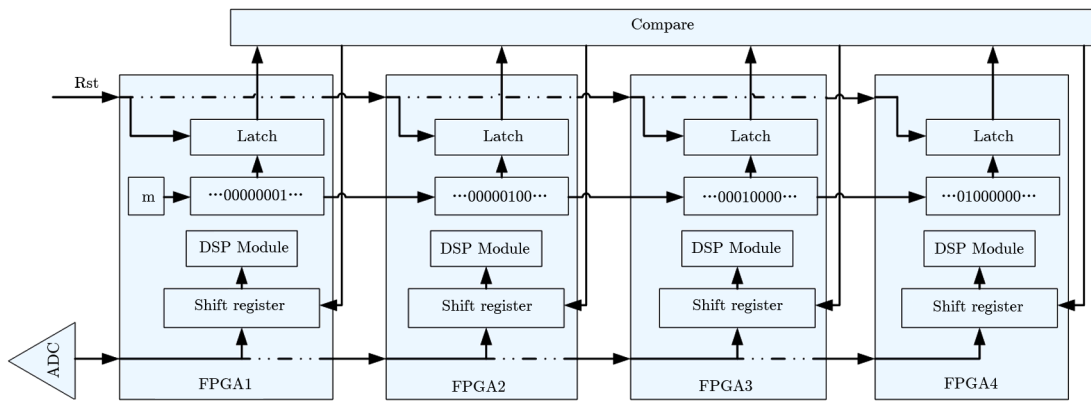


图5 数据处理板上的数据同步

对前三片FPGA的数据流进行适当的调整,使4片FPGA状态一致。这样,便保证了在同一时刻(以复位信号有效为参考),进入DSP模块原始数据的采样时刻是相同的。

经过以上两方面的调整,可以做到数据处理板在相同时刻处理相同采样时刻的原始数据(数据处理板的数据同步)以及数据综合板在同一时刻输出同一采样时刻各通道的计算结果。这样,每块数据处理板上4个通道的时延相同,而四块数据处理板之间的时延也相近。

表2 通道参数设置

中频	通道	基带频率/MHz	带宽/MHz
1	CH1	1008 ~ 976	32
	CH2	976 ~ 944	32
	CH3	944 ~ 912	32
	CH4	912 ~ 880	32
2	CH5	1008 ~ 976	32
	CH6	976 ~ 944	32
	CH7	944 ~ 912	32
	CH8	912 ~ 880	32
3	CH9	1008 ~ 976	32
	CH10	976 ~ 944	32
	CH11	944 ~ 912	32
	CH12	912 ~ 880	32
4	CH13	1008 ~ 976	32
	CH14	976 ~ 944	32
	CH15	944 ~ 912	32
	CH16	912 ~ 880	32

#### 4 CDAS 通道时延测试

通过互相关的方式,可以计算每一路中频4个通道之间的时延,以及中频之间的时延。

将带限噪声源经功分器,接到4路中频输入端,并设置相同的基带带宽和连续的起始频率。本次测试中,带宽设置为32 MHz,4个通道的起始频率依次为1008 MHz、976 MHz、944 MHz和912 MHz,均取下边带,如表2所示。选取中频4为参考,所对应的通道为CH13—CH16,其余12个通道分别是以CH1—CH4为中频1,CH5—CH8为中频2,CH9—CH12为中频3。数据处理时,将参考中频的4个通道与其余12个通道中频率相同的通道一一进行相关,并对相关结果的相位进行线性拟合,可得出12个通道相对参考通道的时延值。

未校正时, 结果如图 6 所示, 同一中频的 4 个通道之前时延差异较大, 且相位不连续。而校正后, 从图 7 中可以看出, 中频 1、中频 2 和中频 3 各自对应的 4 个通道中, 时延最大值与最小值之间相差分别为 0.20 ns、0.13 ns 和 0.24 ns, 远小于数据处理板上 256 MHz 时钟的一个周期 3.9 ns。这表明, 同一中频采样后的数据, 以及数据处理的结果, 在经过横向和纵向两维传递的过程中, 实现了完全的同步。校正前后, 各通道内的相位变化均在 0.05~0.06 ns 左右 (约为 2° 左右)。

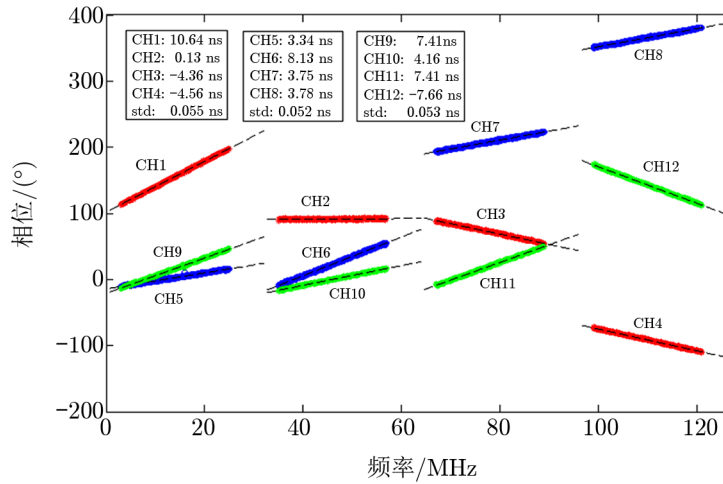


图 6 未校正时各通道时延

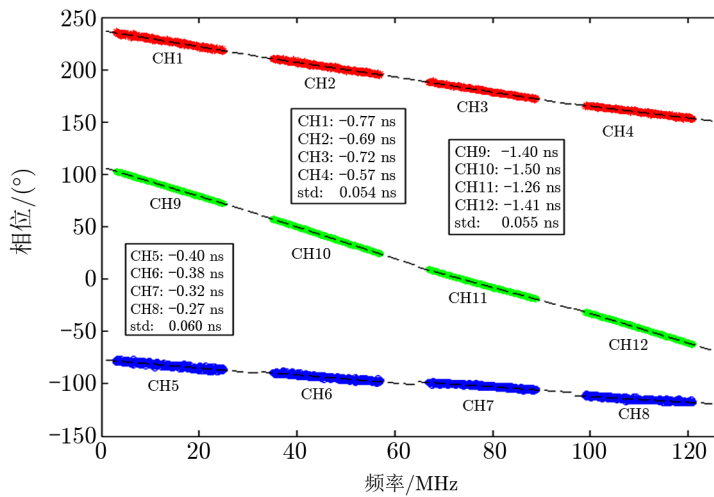


图 7 校正后各通道时延



## 5 结 论

实验证明, 通过改变复位信号的传输路径, 以复位信号为参考, 并采用基于 m 序列数据同步的时延调整方法, 能有效地改善同一中频上各通道间时延的差异, 使其差异缩小到了 1 ns 以内。而中频之间的时延差异, 则受 ADC 同步、接入电缆长度等影响。由于各路中频由不同的采样器采样, ADC 的同步信号在背板上传输, 无法保证采样起始时刻的完全同步, 使得三条相频特性曲线的起始相位不同。若要改善各中频之间的通道时延差异, 则需从根本上改变系统结构, 采用同一采样芯片对多路中频同时进行采样。

### 参考文献:

- [1] Ulvestad J, Goss M. *Sky & Telescope*, 1999, 98: 36
- [2] Koyama Y, Kondo T, Petrachenko W. *International VLBI Service For Geodesy and Astrometry-2004 General Meeting Proceedings*, 2004, 80: 94
- [3] Jun Yang, Yonghua Xu, Zhixuan Li, et al. *MNRAS*, 2012, 426: L66
- [4] <http://lupus.gsfc.nasa.gov/data10/sessions/2011/apsg28/apsg28-plotdata.txt>, 2013
- [5] <http://lupus.gsfc.nasa.gov/data10/sessions/2011/apsg29/apsg29-plotdata.txt>, 2013
- [6] 朱人杰, 张秀忠, 韦文仁等. *天文学进展*, 2011, 29: 207

## Adjustment for the Delay Alignment Among Channels of Chinese VLBI Data Acquisition System

ZHU Ren-jie<sup>1,2</sup>, WU Ya-jun<sup>1,2</sup>

(1. *Shanghai Astronomical Observatory, Chinese Academy of Science, Shanghai 200030, China;* 2. *Key Laboratory of Radio Astronomy, Shanghai Astronomical Observatory, Chinese Academy of Science, Shanghai 200030, China*)

**Abstract:** The Chinese VLBI Data Acquisition System (CDAS) independently designed by Shanghai Astronomical Observatory is a digitalized base band convertor for VLBI, which can take the place of traditional analog base band convertor. It can extract up to 16 channels baseband from 512 MHz bandwidth. The bandwidth of each channel can be selected to be 2, 4, 8, 16 and 32 MHz.

The character of the group delay between each channel is important. If the group delay can keep aligning, it will simplify the post data processing. However, due to structure of CDAS – there are several horizontal and longitudinal data streams, which have their own

clock regions, it is difficult to keep the group delay aligning among different channels.

This paper described the reason why the group delay causes and also the solution how to get alignment of the group delay by adjusting the clock taps of the data inside each FPGA chip. Comparison has been made to show that after adjustment, the difference of group delay among channels in the same IF had been significantly reduced.

**Key words:** data processing board; data synthesizing board; reset signal; clock region; group delay; phase

.....

## 《天文学进展》征稿启事

一、本刊刊登反映国内外天文学研究的最新进展和作者见解的述评、研究论文、前沿介绍、专题讲座、研究快报。反映新思路、新手段、新成果的短评优先发表。

二、来稿须包括: 题名、作者署名、作者单位及所在地与邮政编码、摘要、关键词、正文、参考文献、英文摘要、英文关键词等。

三、来稿应论点明确、叙述精练、条理清晰、深入浅出, 以利非本分支学科的读者阅读。

四、摘要应简明扼要地概括正文中的主要信息。采用第三人称的写法, 不用“本文”、“作者”等作主语。稿件如果以中文发表, 英文摘要应有近一页的篇幅。

五、关键词请尽可能参照 ApJ、MNRAS 和 A&A 共同采用的关键词表选用, 可适当扩充。

六、稿件中引用论点、公式、图、表均需注明参考文献(按文中出现顺序编码, 在右上角用小方括号标出)。正文后则按编码次序依本刊要求的编排格式列出相应的参考文献。

七、审定稿后需提供清稿样的电子文本。本刊采用中西文 Latex 系统软件排版, 请从本刊网站 (<http://202.127.29.4/twxjz/index.htm>) 下载排版模版。

八、图、表务求精、简、规范, 以配合文字阐明观点。公式务求精约, 杜绝公式推导过程。

九、请勿一稿两投。来稿请通过 E-mail 发送至 [twxjz@shao.ac.cn](mailto:twxjz@shao.ac.cn)。

《天文学进展》编辑部

2014 年 2 月